

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hiroyuki OHTA**

Serial Number: **Not Yet Assigned**

Filed: **September 24, 2003**

Customer No.: 23850

For: **REDUCTION IN SOURCE-DRAIN RESISTANCE OF SEMICONDUCTOR
DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

September 24, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

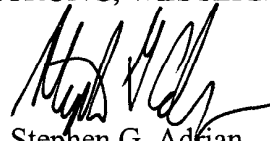
Japanese Appln. No. 2002-285372, filed on September 30, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP


Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 031106
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
SGA/yap



日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月30日

出 願 番 号

Application Number:

特願2002-285372

[ST.10/C]:

[JP2002-285372]

出 願 人

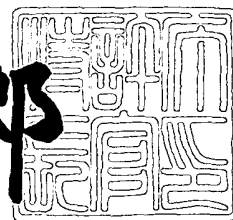
Applicant(s):

富士通株式会社

2003年 2月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3004688

【書類名】 特許願

【整理番号】 0241077

【提出日】 平成14年 9月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/285

【発明の名称】 半導体装置の製造方法と半導体装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 大田 裕之

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100091340

 【弁理士】

 【氏名又は名称】 高橋 敬四郎

 【電話番号】 03-3832-8095

【選任した代理人】

 【識別番号】 100105887

 【弁理士】

 【氏名又は名称】 来山 幹雄

 【電話番号】 03-3832-8095

【手数料の表示】

 【予納台帳番号】 009852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法と半導体装置

【特許請求の範囲】

【請求項 1】 (a) シリコン基板に画定された複数の活性領域の各々を横断するゲート電極を形成し、ゲート電極の両側の活性領域内にソース／ドレインのエクステンション領域を形成する工程と、

(b) 前記ゲート電極の側壁を覆って、前記シリコン基板上に、エッチング特性の異なる第 1 および第 2 の絶縁膜を堆積し、異方性エッチングを行なって前記各ゲート電極側壁上にサイドウォールスペーサを形成する工程と、

(c) 前記サイドウォールスペーサの第 1 の絶縁膜に対して選択的エッチングを行ない、前記第 2 の絶縁膜表面より引き込んだ引込部をゲート電極側およびシリコン基板側に形成する工程と、

(d) 前記サイドウォールスペーサをマスクとしたイオン注入により、シリコン基板にソース／ドレイン領域を形成する工程と、

(e) シリサイド化可能な金属を前記半導体基板上に堆積し、シリサイド化反応を生じさせてシリサイド領域を形成する工程と、
を含む半導体装置の製造方法。

【請求項 2】 前記第 1 の絶縁膜は酸化シリコンで形成され、前記第 2 の絶縁膜は窒化シリコンで形成され、前記工程 (c) は希釈弗酸水溶液で酸化シリコンを選択的にウエットエッチングする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記複数の活性領域は n チャネル用領域と p チャネル用領域を含み、前記工程 (d) は n チャネル用領域に対し n 型不純物を斜めイオン注入する工程を含み、p チャネル用領域に対しては、前記斜めイオン注入より基板法線に近い角度でのみ p 型不純物をイオン注入する請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 4】 前記工程 (e) は、前記サイドウォールスペーサ側面の引込部にも入り込むように Co または Ni をスパッタリングし、前記引込部下方のシリコン基板にもシリサイド領域を形成し、前記サイドウォールスペーサ外側のシリコン基板により厚いシリサイド領域を形成する請求項 1 ～ 3 のいずれか 1 項記

載の半導体装置の製造方法。

【請求項 5】 a) シリコン基板に画定された複数の活性領域の各々を横断するゲート電極を形成し、ゲート電極の両側の活性領域内にソース／ドレインのエクステンション領域を形成する工程と、

(b) 前記ゲート電極の側壁を覆って、前記シリコン基板上に、エッチング特性の異なる第 1 および第 2 の絶縁膜を堆積し、異方性エッチングを行なって前記各ゲート電極側壁上にサイドウォールスペーサを形成する工程と、

(c) 前記サイドウォールスペーサの第 1 の絶縁膜に対して選択的エッチングを行ない、前記第 2 の絶縁膜表面より引き込んだ引込部をサイドウォールスペーサ側面および上面に形成する工程と、

(d) 前記サイドウォールスペーサをマスクとしたイオン注入により、シリコン基板にソース／ドレイン領域を形成する工程と、

(f) 前記引込部にも入り込み、引込部を埋め戻すように前記シリコン基板上に第 3 の絶縁膜を堆積する工程と、

を含む半導体装置の製造方法。

【請求項 6】 前記複数の活性領域は n チャネル用領域と p チャネル用領域を含み、前記工程 (d) は n チャネル用領域に対し n 型不純物を斜めイオン注入する工程を含み、p チャネル用領域に対しては前記斜めイオン注入より基板法線に近い角度でのみ p 型不純物をイオン注入する請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記工程 (d) の後、

(e) シリサイド化可能な金属を、前記サイドウォールスペーサ側面の引き込む部にも入り込むようにシリコン基板上にスパッタリングし、シリサイド化反応を生じさせてシリサイド領域を形成する工程、

を含む請求項 5 または 6 記載の半導体装置の製造方法。

【請求項 8】 複数の活性領域を有するシリコン基板と、

前記各活性領域を横断してシリコン基板上に形成された絶縁ゲート電極と、

前記絶縁ゲート電極側壁上に形成され、エッチング特性の異なる第 1 および第 2 の絶縁膜の積層で形成され、第 1 の絶縁膜の端面が第 2 の絶縁膜表面から引き

込んだ引込部を有するサイドウォールスペーサと、

前記引込部下のシリコン基板表面に形成されたシリサイド領域と、その外側のシリコン基板表面に形成され、より厚さの大きいシリサイド領域と、を有する半導体装置。

【請求項 9】 前記絶縁ゲート電極が多結晶シリコン層を含み、前記サイドウォールスペーサ上方の引込部に接する多結晶シリコンがシリサイド化されている請求項 8 記載の半導体装置。

【請求項 10】 さらに、前記引込部を埋め戻して、シリコン基板上に堆積させた第 3 の絶縁膜を有する請求項 8 または 9 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置と半導体装置の製造方法に関し、特に微細化された MOS トランジスタを有する、半導体装置と半導体装置の製造方法に関する。

【0002】

【従来技術】

大規模集積回路（LSI）において、MOS トランジスタはさらに微細化される。一般的な MOS トランジスタは、ゲート電極側壁上にサイドウォールスペーサを有し、サイドウォールスペーサ下方にソース／ドレインのエクステンション領域、その外側により高濃度のソース／ドレイン領域を有する。サイドウォールスペーサには、一般的にある程度以上の厚さが要求される。

【0003】

ゲート長の短縮化と共にソース／ドレイン領域の接合深さは浅くなる。トランジスタのオフ時に流れる電流を低減するため、ソース／ドレインのエクステンション領域下方又はエクステンション領域を取り囲んで逆導電型のポケット領域が形成されるようになった。

【0004】

微細化が進むと、相対的にソース・ドレイン間抵抗が高くなり、ドレイン電流が取り難くなる傾向がある。ドレイン電流を増大させるために、ソース／ドレイ

ンの抵抗を低減することが望まれる。ソース／ドレイン領域上にシリサイド領域を形成すると、シリコンより低抵抗のシリサイドの作用によりソース／ドレインの抵抗を低減することが可能である。

【0005】

しかし、シリサイド領域は接合リーク電流の原因ともなる。例えばC o シリサイドは、作り方によってスパイクを形成し、点状にも分布したリーク電流源を作り得る。

【0006】

【発明が解決しようとする課題】

M O S トランジスタの微細化と共に、M O S トランジスタの特性の向上が制限され、新たな課題が生じるようになった。

【0007】

本発明の目的は、M O S トランジスタの特性を向上することが可能な新たな構成を有する、半導体装置と半導体装置の製造方法を提供することである。

本発明の他の目的は、ドレイン電流を増大することが可能でリーク電流の増加は低減できる、半導体装置と半導体装置の製造方法を提供することである。

【0008】

本発明のさらに他の目的は、マスク枚数を増加することなくM O S トランジスタの特性を向上することが可能な、半導体装置の製造方法と半導体装置を提供することである。

【0009】

【課題を解決するための手段】

本発明の1観点によれば、(a)シリコン基板に画定された複数の活性領域の各々を横断するゲート電極を形成し、ゲート電極の両側の活性領域内にソース／ドレインのエクステンション領域を形成する工程と、(b)前記ゲート電極の側壁を覆って、前記シリコン基板上に、エッチング特性の異なる第1および第2の絶縁膜を堆積し、異方性エッチングを行なって前記各ゲート電極側壁上にサイドウォールスペーサを形成する工程と、(c)前記サイドウォールスペーサの第1の絶縁膜に対して選択的エッチングを行ない、前記第2の絶縁膜表面より引き込

んだ引込部をゲート電極側およびシリコン基板側に形成する工程と、(d) 前記サイドウォールスペーサをマスクとしたイオン注入により、シリコン基板にソース／ドレイン領域を形成する工程と、(e) シリサイド化可能な金属を前記半導体基板上に堆積し、シリサイド化反応を生じさせてシリサイド領域を形成する工程と、を含む半導体装置の製造方法が提供される。

【0010】

本発明の他の観点によれば、複数の活性領域を有するシリコン基板と、前記各活性領域を横断してシリコン基板上に形成された絶縁ゲート電極と、前記絶縁ゲート電極側壁上に形成され、エッチング特性の異なる第1および第2の絶縁膜の積層で形成され、第1の絶縁膜の端面が第2の絶縁膜表面から引き込んだ引込部を有するサイドウォールスペーサと、前記引込部下のシリコン基板表面に形成されたシリサイド領域と、その外側のシリコン基板表面に形成され、より厚さの大きいシリサイド領域と、を有する半導体装置が提供される。

【0011】

【発明の実施の形態】

以下、図面を参照して本発明の実施例を説明する。

図1(A)～図6(W)は、本発明の第1の実施例による半導体装置の製造方法を示す。

【0012】

図1(A)に示すように、例えばp型のシリコン基板1の表面上に、熱酸化により例えば厚さ10nmバフアシリコン酸化膜2を形成し、その上に化学気相堆積(CVD)により例えば厚さ100～150nm窒化シリコン膜3を堆積する。窒化シリコン膜3の上に、ホトレジスト層を塗布し、露光現像して素子分離領域形成用のレジストパターン4を形成する。レジストパターン4は、素子分離領域に対応する領域に開口5aを有する。

【0013】

図1(B)に示すように、レジストパターン4をマスクとして、窒化シリコン膜3、酸化シリコン膜2をエッチングし、さらにシリコン基板1をエッチングして例えば深さ500nmのトレンチ6を形成する。なお、窒化シリコン膜、酸化

シリコン膜のエッチングは、 CF_4 、 CHF_3 、 Ar の混合ガスをエッチングガスとして用いる。シリコン基板のエッチングは HBr 、 O_2 の混合ガスをエッチングガスとして用いる。その後、レジストパターン4は、除去する。

【0014】

図1(C)に示すように、トレンチ6に露出したシリコン基板1表面上に、熱酸化により例えば厚さ10nmの酸化シリコン膜7を形成する。

図1(D)に示すように、酸化シリコン膜7が形成されたトレンチ6を埋め込むように、例えば高密度プラズマ(HDP)CVDにより、酸化シリコン膜9を例えば厚さ500nm堆積する。酸化シリコン膜9は、下地表面の凹凸に従い、凹凸のある表面を形成する。

【0015】

図2(E)に示すように、化学機械研磨(CMP)により、表面の酸化シリコン膜9を研磨し、平坦な表面を形成する。CMPは、窒化シリコン膜3で停止させる。その後、窒素(N_2)雰囲気中1000℃でアニールを行ない、埋め込み酸化シリコン膜9の緻密化を行なう。

【0016】

図2(F)に示すように、トレンチ形成用のマスクとして用いた窒化シリコン膜3を熱リン酸でウェットエッチングして除去する。

図2(G)に示すように、レジストパターンを用いてp型イオン注入、n型イオン注入をそれぞれ行い、活性領域にp型ウエル10p及びn型ウエル10nを形成する。

【0017】

表面上の酸化シリコン膜を除去し、新たに熱酸化によりゲート絶縁膜として酸化シリコン膜11を例えば厚さ2nm形成する。

図2(H)に示すように、ゲート絶縁膜11の上に、例えば600℃程度の温度で、低圧(LP)CVDにより、多結晶シリコン層12を例えば厚さ100nm形成する。なお、多結晶シリコン膜12は、ノンドーパシリコン膜でも、不純物をドーパしたシリコン膜でも良い。不純物をドーパしたシリコン膜の場合は、nチャネルMOSトランジスタを形成する領域にはリン(P)をドーパし、pチ

チャンネルMOSトランジスタを形成する領域はボロン（B）をドーピングする。

【0018】

図3（I）に示すように、多結晶シリコン層12の上に、ホトレジスト層を塗布し、露光現像してレジストパターン13を形成する。レジストパターン13は、ゲート電極の形状に対応した形状を有する。レジストパターン13をマスクとし、多結晶シリコン層12をエッチングする。異方性エッチングにより多結晶シリコン層12をゲート電極形状にパターニングした後、レジストパターン13を除去する。

【0019】

図3（J）は、形成されたゲート電極12の形状を示す。

図3（K）に示すように、シリコン基板表面上にホトレジスト層を塗布し、露光現像してpチャンネルMOSトランジスタ領域を覆うレジストパターン14を形成する。露出したnチャンネルMOSトランジスタ領域にp型不純物、例えばBをイオン注入し、ポケット領域16pを形成し、n型不純物をポケット領域よりも高濃度にイオン注入し、ソース／ドレインのエクステンション領域15nを形成する。なお、エクステンション領域とポケット領域のイオン注入の順序は任意でよい。このようにして、nチャンネルMOSトランジスタのエクステンション領域とそれを取り囲むポケット領域が形成される。その後レジストパターン14は除去する。

【0020】

図3（L）に示すように、nチャンネルMOSトランジスタ領域を覆うレジストパターン17を形成する。露出したpチャンネルMOSトランジスタ領域に対し、p型不純物、n型不純物のイオン注入を行ない、エクステンション領域15p、ポケット領域16nを形成する。その後レジストパターン17は除去する。なお、図1（A）～3（L）の工程は、公知の工程であり、同様の構成を作成する他の公知の方法を用いてもよい。

【0021】

図4（M）に示すように、シリコン基板表面上に、低圧（LP）CVDにより、例えば厚さ10nmの酸化シリコン膜を、テトラエトキシシラン（TEOS）

、 O_2 ガスをソースガスとして基板温度 $600^{\circ}C$ で反応させ、堆積させる。堆積したシリコン酸化膜18の上に、LPCVDにより、例えば厚さ 90 nm の窒化シリコン膜19を、 $SiCl_2H_2$ 、 NH_3 ガスをソースガスとし、基板温度 $600^{\circ}C$ 程度の温度で反応させ、堆積させる。

【0022】

Si のソースガスとしては、ジクロルシラン($SiCl_2H_2$)の代りに、シラン(SiH_4)、ビスターシャルブチルアミノシラン(BTBAS)等を用いても良い。なお、1層目の酸化シリコン膜18、2層目の窒化シリコン膜19の厚さは上述の例に限らない。例えば、厚さ約 20 nm の酸化シリコン膜18を堆積し、その上に厚さ 80 nm の窒化シリコン膜19を堆積してもよい。

【0023】

図4(N)に示すように、積層した絶縁膜に対し、リアクティブイオンエッチング(RIE)によりドライエッチングを行い、ゲート電極12側壁上にのみ絶縁膜積層を残す。ゲート電極12の側壁上に、厚さ 100 nm のサイドウォールスペーサ20が形成される。サイドウォールスペーサ20は、酸化シリコン膜18、窒化シリコン19のように、エッチング特性の異なる絶縁膜の積層で形成されている。

【0024】

図4(O)に示すように、絶縁膜積層で形成されたサイドウォールスペーサ20に対し、下側の絶縁膜をエッチングするウェットエッチングを行なう。例えば、 $HF:H_2O=1:200$ の希フッ酸水溶液を用い、約 175 秒のエッチングを行うことにより、 30 nm のサイドエッチングを行なう。なお、エッチング深さはエッチング時間を制御することによって制御できる。例えば、 110 秒のエッチングを行なえば、約 20 nm のサイドエッチングが行われる。

【0025】

なお、サイドウォールスペーサ20の側面に露出した酸化シリコン膜18がエッチングされると共に、サイドウォールスペーサ20の上面に露出した酸化シリコン膜18も同様にエッチングされる。このようにして、側部下方及び上方に引込部29を有するサイドウォールスペーサが形成される。効果的な引込部を形成

するために、酸化シリコン膜 1 8 は、少なくとも 1 0 n m 以上エッチングすることが好ましい。なお、過度にサイドエッチングを行なうと、サイドウォールスペーサの機能自体が損なわれる可能性がある。このため、サイドエッチングはサイドウォールスペーサの厚さの 0. 4 倍程度までとすることが好ましい。又、サイドウォールスペーサ 2 0 の幅は、3 0 n m 以上とすることが好ましい。

【 0 0 2 6 】

図 4 (P) に示すように、p チャンネル MOS トランジスタ領域を覆うレジストパターン 2 1 を形成し、露出した n チャンネル MOS トランジスタ領域に対し、リン (P) 、砒素 (A s) 等の n 型不純物をイオン注入し、n 型拡散層 2 2 を形成する。なお、基板法線から例えば 3 0 度傾いた斜めイオン注入を行ない、ソース／ドレイン領域 2 2 をサイドウォールスペーサよりもゲート電極に近づけて形成してもよい。その後、レジストパターン 2 1 は除去する。

【 0 0 2 7 】

図 5 (Q) に示すように、新たに n チャンネル MOS トランジスタ領域を覆うレジストパターン 2 3 を形成し、p チャンネル MOS トランジスタ領域を露出する。p 型不純物としてボロン (B) や弗化ボロン (B F ₂) をイオン注入し、p 型ソース／ドレイン領域 2 4 を形成する。p 型不純物の B は、n 型不純物の P や A s よりも拡散しやすい性質を有する。n 型不純物を斜めイオン注入しても、p 型不純物 B は垂直方向にイオン注入する。その後、レジストパターン 2 3 は除去する。

【 0 0 2 8 】

図 5 (R) に示すように、例えば 1 0 0 0 ° C で 1 0 秒間活性化アニールを行うことにより、不純物注入領域の不純物を活性化する。

図 5 (S) に示すように、不純物注入領域を形成したシリコン基板に対し、シリサイド化可能な金属、例えばコバルト (C o) を堆積する。例えば C o ターゲットを用い、2 5 0 W 程度の DC バイアスを印加したスパッタリングを行って、厚さ約 5 n m の C o 膜 3 0 をスパッタリングする。この時、スキヤッタリング等により、引込部 2 9 内にも薄い C o 膜 3 0 x が堆積する。次に T i N ターゲットを用い、9 0 0 0 W 程度の DC バイアスを印加し、T i N 膜を厚さ約 3 0 n m 堆

積する。

【 0 0 2 9 】

図 5 (T) に示すように、窒素雰囲気中で例えば 5 0 0 ℃ 程度、 3 0 秒間の低温アニーリングを行ない、C o の一次シリサイド化反応を生じさせる。未反応のシリサイド化可能金属を例えば過酸化アンモニアと過硫酸との混合液により除去する。次に、例えば 7 0 0 ℃ 程度の高温アニーリングを窒素雰囲気中で約 3 0 秒間行い、 2 次シリサイド化反応を行わせる。このようにして、低抵抗のシリサイド層 2 5 を形成する。なお、コバルトシリサイドの代りにニッケルシリサイドを形成しても良い。このようにして、シリコン基板 1 の露出したシリコン表面及びゲート電極 1 2 の露出した多結晶シリコン層表面にシリサイド領域 2 5、 2 5 g が形成される。

【 0 0 3 0 】

図 6 (U) は、シリサイド化工程の詳細を示す。サイドウォールスペーサ 2 0 は、下層の酸化シリコン層 1 8 と、上層の窒化シリコン層 1 9 の積層で形成され、下層の酸化シリコン層 1 8 はサイドエッチングされて引込部 2 9 が形成されている。このようなゲート電極構造に対し、C o のスパッタリングを行うと、斜め方向から飛来するC o は、サイドウォールスペーサ 2 0 に形成された引込部 2 9 内部にも入り込む。また、基板表面でスキヤッタリング等されたC o も引込部 2 9 に入り込む。このようにして、引込部内にもC o 膜 3 0 x が堆積する。

【 0 0 3 1 】

但し、引込部 2 9 内部に堆積されるコバルトの量は露出した表面に堆積されるコバルトの量に較べて少ない。その後、アニーリングを行うと、シリサイド化反応が生じ、シリサイド領域 2 5 が形成される。引込部下面にも侵入したコバルトに対応して浅いシリサイド領域 2 5 x が形成される。シリサイド領域 2 5 x が形成されることにより、エクステンション領域 1 5 の抵抗が低減する。

【 0 0 3 2 】

なお、第 1 絶縁層 1 8 の厚さにより、引込部に入り込むシリサイド化可能金属の量は変化する。酸化シリコン層 1 8 を厚さ 2 0 n m 程度とすると、引込部にもかなりの量のコバルトが入り込み、シリサイド領域 2 5 x が形成される。酸化シ

リコン層 1 8 の厚さを薄くすると、入り込むコバルトの量は減少する。なお、コバルトの代りにニッケルを用いても、ほぼ同様の特性が実現できる。

【 0 0 3 3 】

図 6 (V) に示すように、例えば窒化シリコン膜で形成された絶縁層 2 7 を CVD により基板表面に堆積する。窒化シリコン膜 2 7 は、引込部にも十分入り込み、引込部を埋め込む。さらに、基板表面上に酸化シリコン等の絶縁層 2 8 を堆積する。絶縁層 2 8 は、ゲート電極を埋め込んで層間絶縁膜を形成する。なお、層間絶縁膜として公知の種々の構成を採用しても良い。

【 0 0 3 4 】

図 6 (W) は、上述の実施例に従って作成したサンプルの断面を撮像した SEM 顕微鏡写真を示す。サイドウォールスペーサの下層絶縁膜は厚さ約 2 0 n m の酸化シリコン層で形成し、第 2 絶縁層は厚さ約 8 0 n m の窒化シリコン層で形成した。基板表面及びゲート電極の上方に白く見える領域はシリサイド領域である。基板表面のシリサイド領域は、引込部下方の浅い領域と、サイドウォールスペーサよりも外側の厚い領域とにより構成されている。

【 0 0 3 5 】

引込部下方のシリサイド領域が浅く形成されることにより、エクステンション領域の抵抗が低減され、かつリーク電流が増大することが防止される。サイドウォールスペーサ外側の厚いシリサイド領域は、ソース／ドレイン領域の抵抗を効率的に低減させる。

【 0 0 3 6 】

又、ゲート電極は、上方からシリサイド反応を受けるのみならず、引込部に露出した側面からもシリサイド化反応を受け、厚いシリサイド領域が形成される。このように厚いシリサイド領域が形成されることにより、ゲート電極の抵抗は効率的に低減する。

【 0 0 3 7 】

図 6 (X) は、図 6 (W) に示すサンプルの特性を示す。なお、比較のため引込部のないサンプルも形成し、同様に特性を測定した。図中、横軸は、オン時のドレイン電流を示し、縦軸はオフ時のドレイン電流を示す。

【 0 0 3 8 】

0 6 の曲線が引込部を形成しなかったサンプルの特性を示し、# 0 7 の曲線が引込部を形成したサンプルの特性を示す。図から明らかなように同一オフ電流に対するオン電流が向上し、ドレイン電流が増大することが分かる。

【 0 0 3 9 】

このように、第 1 の実施例によれば、サイドウォールスペーサをエッチング特性の異なる複数の絶縁層の積層で形成し、下層の絶縁層をサイドエッチングすることにより、サイドウォールスペーサに入り込んだ引込部で基板表面が露出する。コバルト膜をスパッタリングすると、引込部の基板表面上にも薄くコバルト膜が形成される。コバルト膜のシリサイド化反応を行わせると、サイドウォールスペーサ外に厚いシリサイド層、引込部下方に薄いシリサイド層が形成される。

【 0 0 4 0 】

シリサイド層が形成されることにより、ソース／ドレインのエクステンションの抵抗を低減することができる。エクステンション上のシリサイド層は薄くなるので、リーク電流の増加を低減できる。

【 0 0 4 1 】

図 7 (A) ～図 8 (H) は、本発明の第 2 の実施例による半導体装置の製造方法を示す断面図である。

図 7 (A) は、図 1 (A) ～図 4 (M) の工程を経た半導体基板の構造を示す。すなわち、図 4 (O) の構造と同様である。ゲート電極 1 2 n、1 2 p の側壁上に、酸化シリコン層 1 8、窒化シリコン層 1 9 の積層からなるサイドウォールスペーサ 2 0 が形成され、第 1 層の酸化シリコン層 1 8 が約 3 0 n m サイドエッチングされた状態を示している。なお、サイドウォールスペーサの側面からのサイドエッチングと共に、サイドウォールスペーサ上面からのエッチングも進み、サイドウォールスペーサ側方と上方に引込部 2 9 が形成されている。

【 0 0 4 2 】

図 7 (B) に示すように、p チャネル MOS トランジスタ領域をレジストパターン 2 1 で覆い、n チャネル MOS トランジスタ領域に n 型不純物、例えば磷 (P) や砒素 (As) を基板法線方向より 3 0 度傾いた方向から斜めイオン注入す

る。なお、斜めイオン注入は、例えば基板面内で対称な4方向より行なう。サイドウォールスペーサ20の第1層18がサイドエッチングされているため、引込部に斜めイオン注入されたn型不純物は引込部下方に効率的に注入される。このため、形成される高濃度領域22o間の距離が短くなる。

【0043】

図7(C)に示すように、さらに同一のレジストパターンをマスクとし、n型不純物、例えば磷(P)や、砒素(As)を基板法線方向からイオン注入する。サイドウォールスペーサ20側方に、さらに高濃度領域22nが形成される。なお、ソース/ドレイン抵抗を低減するために、斜めイオン注入と垂直イオン注入とを重ねて行なう場合を説明したが、斜めイオン注入のみによりソース/ドレイン領域を形成してもよい。その後レジストパターン21は除去する。

【0044】

図7(D)に示すように、nチャネルMOSトランジスタ領域を覆うレジストパターン23を形成する。露出しているpチャネルMOSトランジスタ領域に対し、基板法線方向からp型不純物、例えばボロン(B)や弗化ボロン(BF₂)をイオン注入し、pチャネルMOSトランジスタのソース/ドレイン領域24を形成する。その後レジストパターン23は除去する。

【0045】

図8(E)に示すように、イオン注入を終了した半導体基板に対し、例えば1000℃、10秒間の活性化アニールを行い、イオン注入された不純物を電氣的に活性化する。

【0046】

図8(F)に示すように、コバルトターゲットを用い、基板表面にコバルト層30をスパッタリングする。スパッタリングされたコバルトは、サイドウォールスペーサ側方の引込部内にも入り込んで薄いコバルト層30を形成する。コバルト層は、例えば平坦部上で約5nm堆積する。次に、TiN層31を例えば厚さ30nmスパッタリングで堆積する。

【0047】

図8(G)に示すように、スパッタリング後、例えば500℃程度のアニーリ

ングを、窒素雰囲気中で約 30 秒間行い、堆積されたコバルト層の 1 次シリサイド化反応を行う。次に、TiN 層と未反応のコバルト膜を例えば過酸化アンモニアと過硫酸との混合液により除去する。その後、例えば 700℃ 程度のアニーリングを、窒素雰囲気中で約 30 秒間行い、2 次シリサイド化反応を行わせる。このようにして、低抵抗のシリサイド層 25 が形成される。なお、コバルトの代りにニッケルを用いることも可能である。

【0048】

図 8 (H) に引込部を形成したサイドウォールスペーサに対する斜めイオン注入の詳細を示す。サイドウォールスペーサ 20 は、下層の酸化シリコン層 18 が例えば深さ約 20 nm サイドエッチングされている。斜めイオン注入される n 型不純物は、引込部において絶縁層に遮られることなく基板表面に侵入することが可能となる。このため、引込部の高さに応じてゲート電極により近づけた不純物注入領域を形成することが出来る。

【0049】

p 型不純物の B の拡散に対し、n 型不純物の P や As は拡散する程度が低く、同一条件で p チャネル MOS トランジスタと n チャネル MOS トランジスタとを作成すると、n チャネル MOS トランジスタのソース・ドレイン間距離は p チャネル MOS トランジスタのソース・ドレイン間距離よりも長くなってしまふ。n チャネル MOS トランジスタに斜めイオン注入を行うことにより n チャネル MOS トランジスタのソース・ドレイン間距離を短縮することができ、CMOS トランジスタのバランスをとることが容易になる。

【0050】

その後のシリサイド化反応により、サイドウォールスペーサ外方のシリサイド領域 25 と、引込部下の浅いシリサイド領域 25 x が形成され、ソース/ドレイン間の抵抗をさらに低減する。この効果は第 1 の実施例と同様である。

【0051】

図 9 (A) は、上述の実施例により、シリサイド領域を設けた場合のソース・ドレイン間抵抗の構成を概略的に示す。ソース/ドレインのエクステンション領域と高濃度ソース/ドレイン領域とが形成された時、それぞれの抵抗成分 R1、

R 2 が直列に接続される。

【 0 0 5 2 】

シリコン表面上にシリサイド層を形成することにより、抵抗 R 3、R 4 の直列接続が抵抗 R 1、R 2 に並列に接続された形状となる。シリサイド領域とシリコンの不純物添加領域との間に、抵抗 R 5、R 6 が分布する。このようにして、図に示すような抵抗網が形成され、抵抗 R 1、R 2 のみからなる場合と場合と較べ、ソースドレイン間の抵抗を低減することが可能となる。

【 0 0 5 3 】

図 9 (B) は、シミュレーションにより求めた、ゲート電圧の変化に対するドレイン電流の変化を示すグラフである。図中横軸はゲート電極 V_g を示し、縦軸は飽和ドレイン電流 I_{ds} を示す。ゲート長を 40 nm、サイドウォールスペーサの幅を 100 nm、拡散層深さを 21.75 nm、シート抵抗を 1.011 k Ω /□とした。引込部を形成すると、飽和ドレイン電流 I_{ds} が増加することがシミュレーションにより示された。

【 0 0 5 4 】

図 9 (C) は、シミュレーションにより求めた、サイドウォールスペーサ第 1 層のサイドエッチ量に対する電流向上率を示すグラフである。横軸がサイドエッチ量を単位 μm で示し、縦軸が電流向上率を % で示す。サイドエッチ量を増加するにつれ、ほぼリニアに電流向上率が上昇していることがシミュレーションにより示された。

【 0 0 5 5 】

図 10 は、上述の実施例により形成した MOS トランジスタを含む集積回路装置の構成を示す断面図である。シリコン基板 1 表面に、素子分離用トレンチが形成され、シャロートレンチアイソレーション (STI) 9 が形成されている。STI により画定された活性領域内にトランジスタ TR 1、TR 2 が形成されている。これらのトランジスタは、上述の実施例に従って形成したものである。

【 0 0 5 6 】

トランジスタを埋め込むように、第 1 層間絶縁膜 IL 1 が形成され、導電性プラグ PL、第 1 配線層 W 1 が層間絶縁膜 IL 1 中に埋め込まれて形成されている

。第1配線層W1上に窒化シリコン層等のエッチストップ層ES1が形成され、その上に第2層間絶縁膜IL2が形成されている。第2層間絶縁膜IL2、エッチングストップ層ES1を通して、第2配線層W2がダマシン構造により形成されている。

【0057】

同様、第2層間絶縁膜IL2上に、エッチストップ層ES2、その上に層間絶縁膜IL3、エッチストップ層ES3、層間絶縁膜IL4、エッチストップ層ES4、層間絶縁膜IL5、エッチストップ層ES5、層間絶縁膜IL6、エッチストップ層ES6が積層され、その上にさらに保護膜PSが形成されている。これらの絶縁積層を通して、配線層W3、W4、W5、W6が形成され、最表面には、接続パッドPDが接続されている。

【0058】

集積回路の構成素子であるMOSトランジスタのソース／ドレイン間抵抗を低減することにより、高性能の半導体集積回路を実現することが可能となる。

以上実施例の沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組合わせが可能なことは当業者に自明であろう。以下、本発明の特徴を付記する。

【0059】

(付記1) (1) (a) シリコン基板に画定された複数の活性領域の各々を横断するゲート電極を形成し、ゲート電極の両側の活性領域内にソース／ドレインのエクステンション領域を形成する工程と、

(b) 前記ゲート電極の側壁を覆って、前記シリコン基板上に、エッチング特性の異なる第1および第2の絶縁膜を堆積し、異方性エッチングを行なって前記各ゲート電極側壁上にサイドウォールスペーサを形成する工程と、

(c) 前記サイドウォールスペーサの第1の絶縁膜に対して選択的エッチングを行ない、前記第2の絶縁膜表面より引き込んだ引込部をゲート電極側およびシリコン基板側に形成する工程と、

(d) 前記サイドウォールスペーサをマスクとしたイオン注入により、シリコン基板にソース／ドレイン領域を形成する工程と、

(e) シリサイド化可能な金属を前記半導体基板上に堆積し、シリサイド化反応を生じさせてシリサイド領域を形成する工程と、
を含む半導体装置の製造方法。

【 0 0 6 0 】

(付記 2) 前記工程 (C) の選択エッチは等方性エッチングである。付記 1 記載の半導体装置の製造方法。

(付記 3) (2) 前記第 1 の絶縁膜は酸化シリコンで形成され、前記第 2 の絶縁膜は窒化シリコンで形成され、前記工程 (c) は希釈弗酸水溶液で酸化シリコンを選択的にウエットエッチングする付記 1 または 2 記載の半導体装置の製造方法。

【 0 0 6 1 】

(付記 4) 前記工程 (c) が、前記サイドウォールスペーサの第 1 層を 10 nm 以上、サイドウォールスペーサの幅の 0.6 倍以下サイドエッチングする付記 1 ～ 3 のいずれか 1 項記載の半導体装置の製造方法。

【 0 0 6 2 】

(付記 5) (3) 前記複数の活性領域は n チャネル用領域と p チャネル用領域を含み、前記工程 (d) は n チャネル用領域に対し n 型不純物を斜めイオン注入する工程を含み、p チャネル用領域に対しては、前記斜めイオン注入より基板法線に近い角度でのみ p 型不純物をイオン注入する付記 1 ～ 3 のいずれか 1 項記載の半導体装置の製造方法。

【 0 0 6 3 】

(付記 6) 前記工程 (d) は、n チャネル用領域に対し、n 型不純物を斜めイオン注入する工程と、n 型不純物を垂直イオン注入する工程とを含む付記 5 記載の半導体装置の製造方法。

【 0 0 6 4 】

(付記 7) (4) 前記工程 (e) は、前記サイドウォールスペーサ側面の引込部にも入り込むように Co または Ni をスパッタリングし、前記引込部下方のシリコン基板にもシリサイド領域を形成し、前記サイドウォールスペーサ外側のシリコン基板により厚いシリサイド領域を形成する付記 1 ～ 6 のいずれか 1 項

記載の半導体装置の製造方法。

【 0 0 6 5 】

(付記 8) (5) a) シリコン基板に画定された複数の活性領域の各々を横断するゲート電極を形成し、ゲート電極の両側の活性領域内にソース／ドレインのエクステンション領域を形成する工程と、

(b) 前記ゲート電極の側壁を覆って、前記シリコン基板上に、エッチング特性の異なる第 1 および第 2 の絶縁膜を堆積し、異方性エッチングを行なって前記各ゲート電極側壁上にサイドウォールスペーサを形成する工程と、

(c) 前記サイドウォールスペーサの第 1 の絶縁膜に対して選択的エッチングを行ない、前記第 2 の絶縁膜表面より引き込んだ引込部をサイドウォールスペーサ側面および上面に形成する工程と、

(d) 前記サイドウォールスペーサをマスクとしたイオン注入により、シリコン基板にソース／ドレイン領域を形成する工程と、

(f) 前記引込部にも入り込み、引込部を埋め戻すように前記シリコン基板上に第 3 の絶縁膜を堆積する工程と、
を含む半導体装置の製造方法。

【 0 0 6 6 】

(付記 9) (6) 前記複数の活性領域は n チャネル用領域と p チャネル用領域を含み、前記工程 (d) は n チャネル用領域に対し n 型不純物を斜めイオン注入する工程を含み、p チャネル用領域に対しては前記斜めイオン注入より基板法線に近い角度でのみ p 型不純物をイオン注入する付記 8 記載の半導体装置の製造方法。

【 0 0 6 7 】

(付記 10) 前記工程 (d) は n チャネル用領域に対し n 型不純物を斜めイオン注入する工程と、n 型不純物を垂直イオン注入する工程とを含む付記 9 記載の半導体装置の製造方法。

【 0 0 6 8 】

(付記 11) (7) 前記工程 (d) の後、

(e) シリサイド化可能な金属を、前記サイドウォールスペーサ側面の引き込

む部にも入り込むようにシリコン基板上にスパッタリングし、シリサイド化反応を生じさせてシリサイド領域を形成する工程、
を含む付記 8 または 9 記載の半導体装置の製造方法。

【 0 0 6 9 】

(付記 1 2) 前記シリサイド化可能な金属がコバルト、又はニッケルである付記 1 1 記載の半導体装置の製造方法。

(付記 1 3) (8) 複数の活性領域を有するシリコン基板と、
前記各活性領域を横断してシリコン基板上に形成された絶縁ゲート電極と、
前記絶縁ゲート電極側壁上に形成され、エッチング特性の異なる第 1 および第 2 の絶縁膜の積層で形成され、第 1 の絶縁膜の端面が第 2 の絶縁膜表面から引き込んだ引込部を有するサイドウォールスペーサと、

前記引込部下のシリコン基板表面に形成されたシリサイド領域と、その外側のシリコン基板表面に形成され、より厚さの大きいシリサイド領域と、
を有する半導体装置。

【 0 0 7 0 】

(付記 1 4) (9) 前記絶縁ゲート電極が多結晶シリコン層を含み、前記サイドウォールスペーサ上方の引込部に接する多結晶シリコンがシリサイド化されている付記 1 3 記載の半導体装置。

【 0 0 7 1 】

(付記 1 5) (1 0) さらに、前記引込部を埋め戻して、シリコン基板上に堆積させた第 3 の絶縁膜を有する付記 1 3 または 1 4 記載の半導体装置。

【 0 0 7 2 】

【発明の効果】

以上説明したように、本発明によれば、MOS トランジスタのソースドレイン間抵抗を低減することが可能となる。

【 0 0 7 3 】

n チャネル MOS トランジスタ領域に斜めイオン注入を導入することにより、n チャネル MOS トランジスタと p チャネル MOS トランジスタとの特性のバランスを取ることが容易になる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例による半導体装置の製造方法を示す断面図である。

【図 2】 本発明の第 1 の実施例による半導体装置の製造方法を示す断面図である。

【図 3】 本発明の第 1 の実施例による半導体装置の製造方法を示す断面図である。

【図 4】 本発明の第 1 の実施例による半導体装置の製造方法を示す断面図である。

【図 5】 本発明の第 1 の実施例による半導体装置の製造方法を示す断面図である。

【図 6】 本発明の第 1 の実施例による半導体装置の製造方法を説明する断面図、写真、特性グラフである。

【図 7】 本発明の第 2 の実施例による半導体装置の製造方法を示す断面図である。

【図 8】 本発明の第 2 の実施例による半導体装置の製造方法を示す断面図である。

【図 9】 本発明の実施例によるトランジスタの特徴を説明する概略断面図及びシミュレーション結果を示すグラフである。

【図 10】 半導体集積回路装置の断面図である。

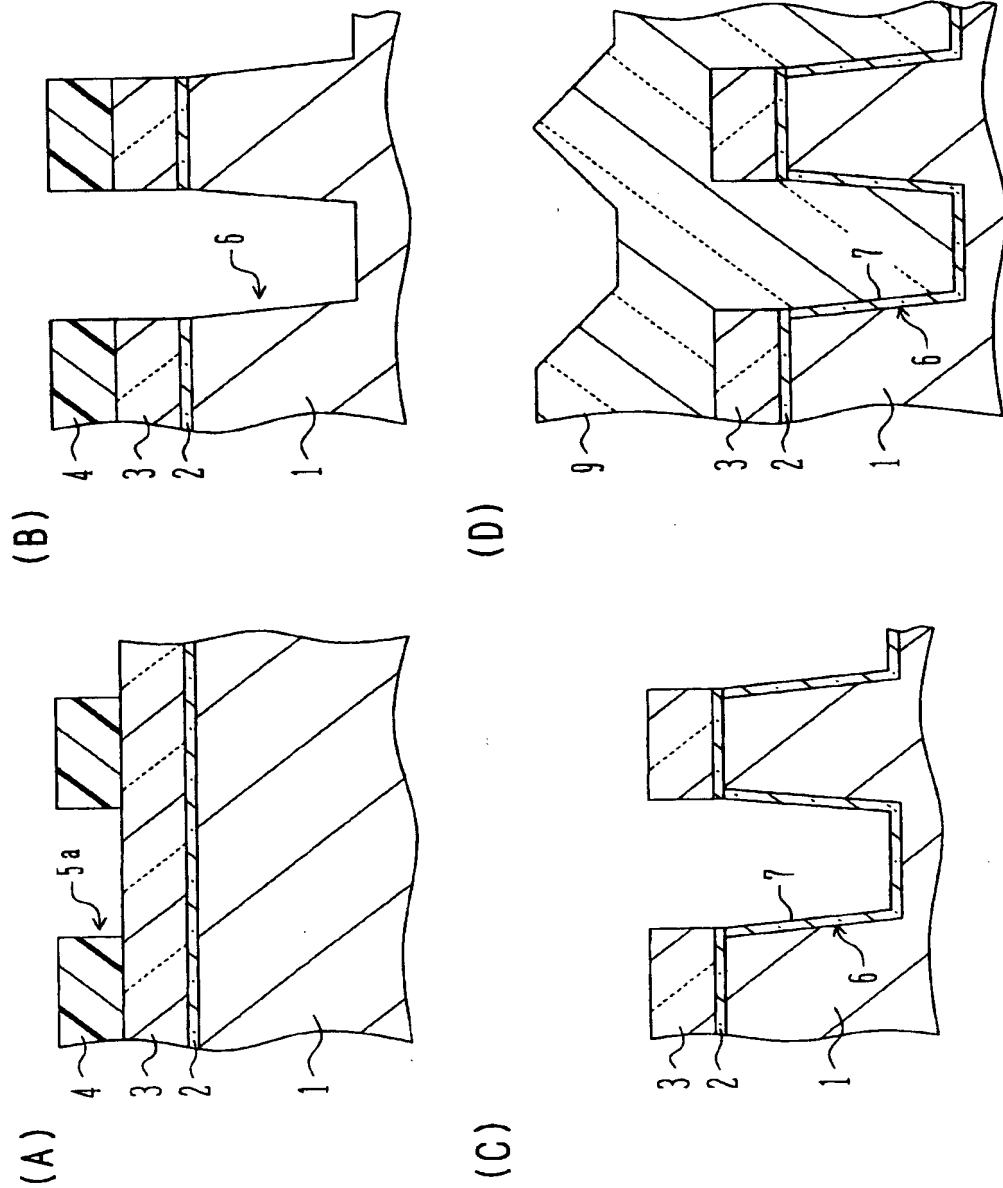
【符号の説明】

- 1 シリコン基板
- 2 バッファ酸化シリコン膜
- 3 窒化シリコン膜
- 4 レジストパターン
- 5 開口
- 6 トレンチ
- 7 酸化シリコン層
- 9 酸化シリコン膜

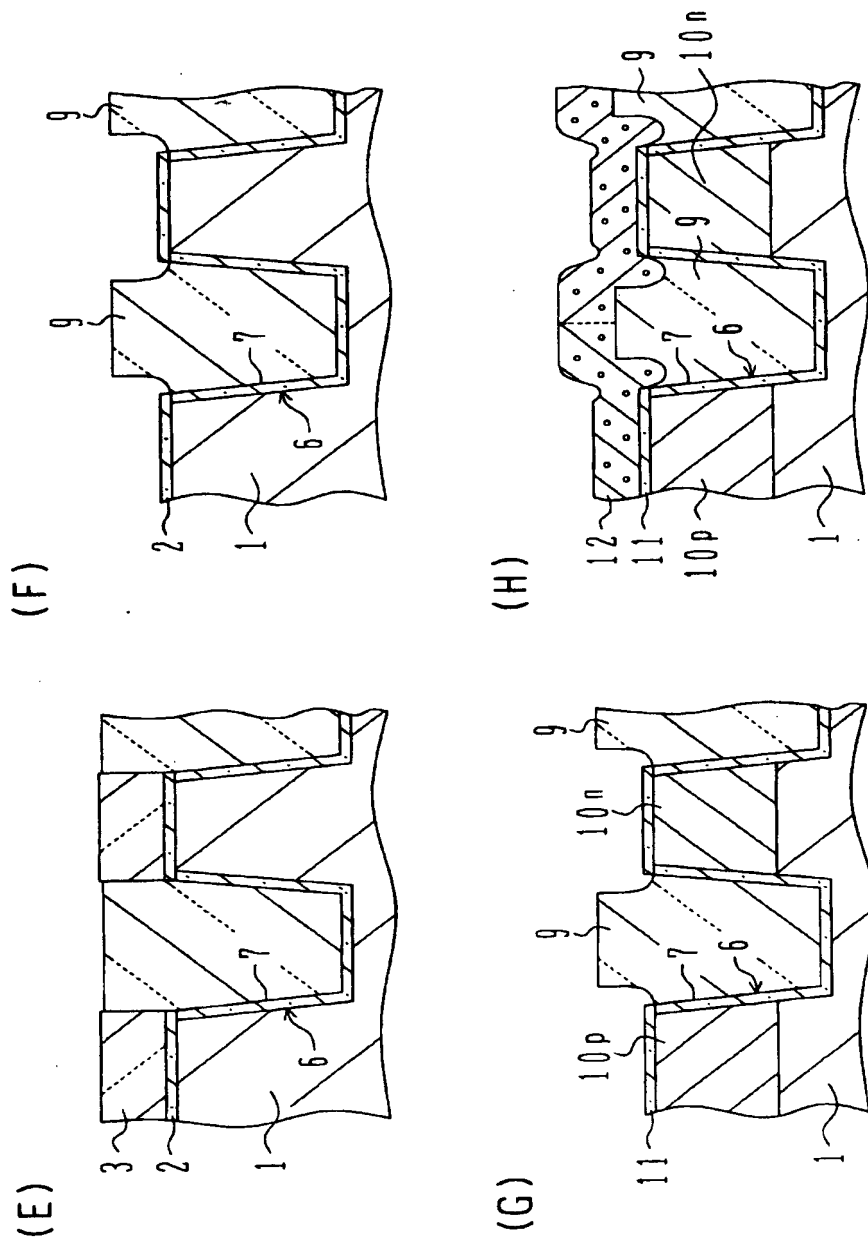
- 1 0 ウエル
- 1 1 ゲート絶縁膜
- 1 2 多結晶シリコン層
- 1 3 レジストパターン
- 1 8 酸化シリコン層
- 1 9 窒化シリコン層
- 2 0 サイドウォールスペーサ
- 2 1 レジストパターン
- 2 2 ソース／ドレイン領域
- 2 3 レジストパターン
- 2 4 ソース／ドレイン領域
- 2 5 シリサイド領域

【書類名】 図面

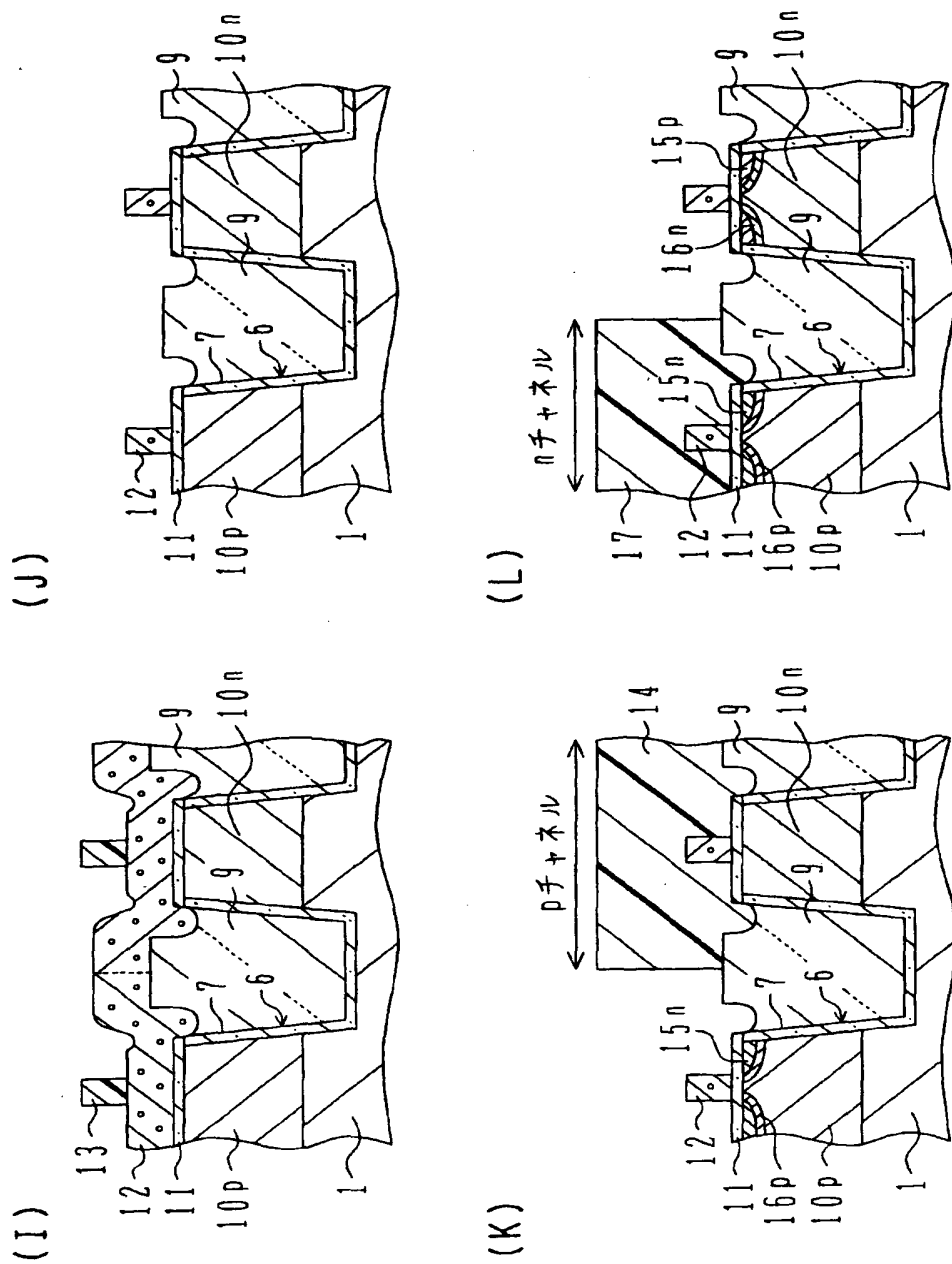
【図 1】



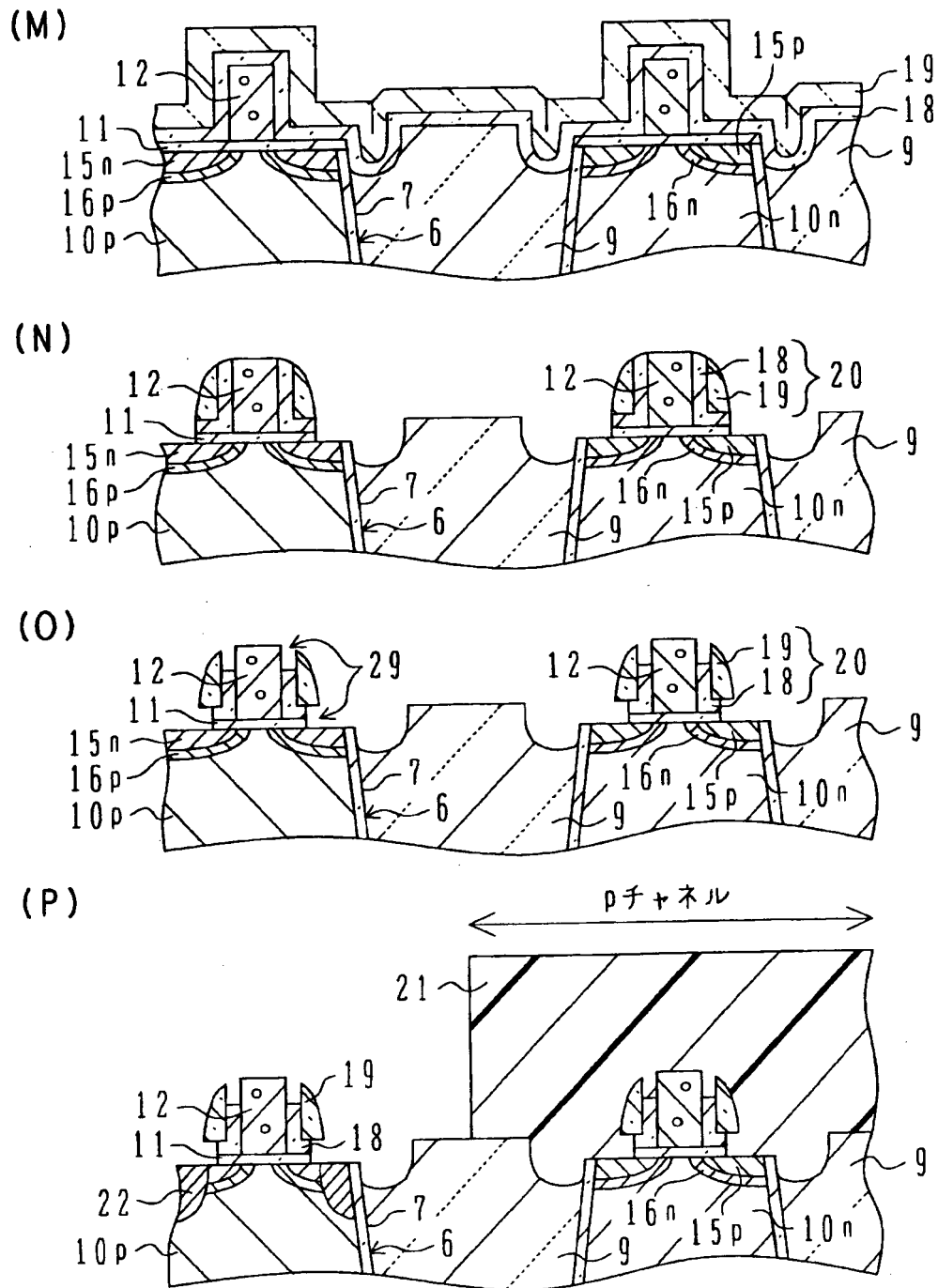
【図2】



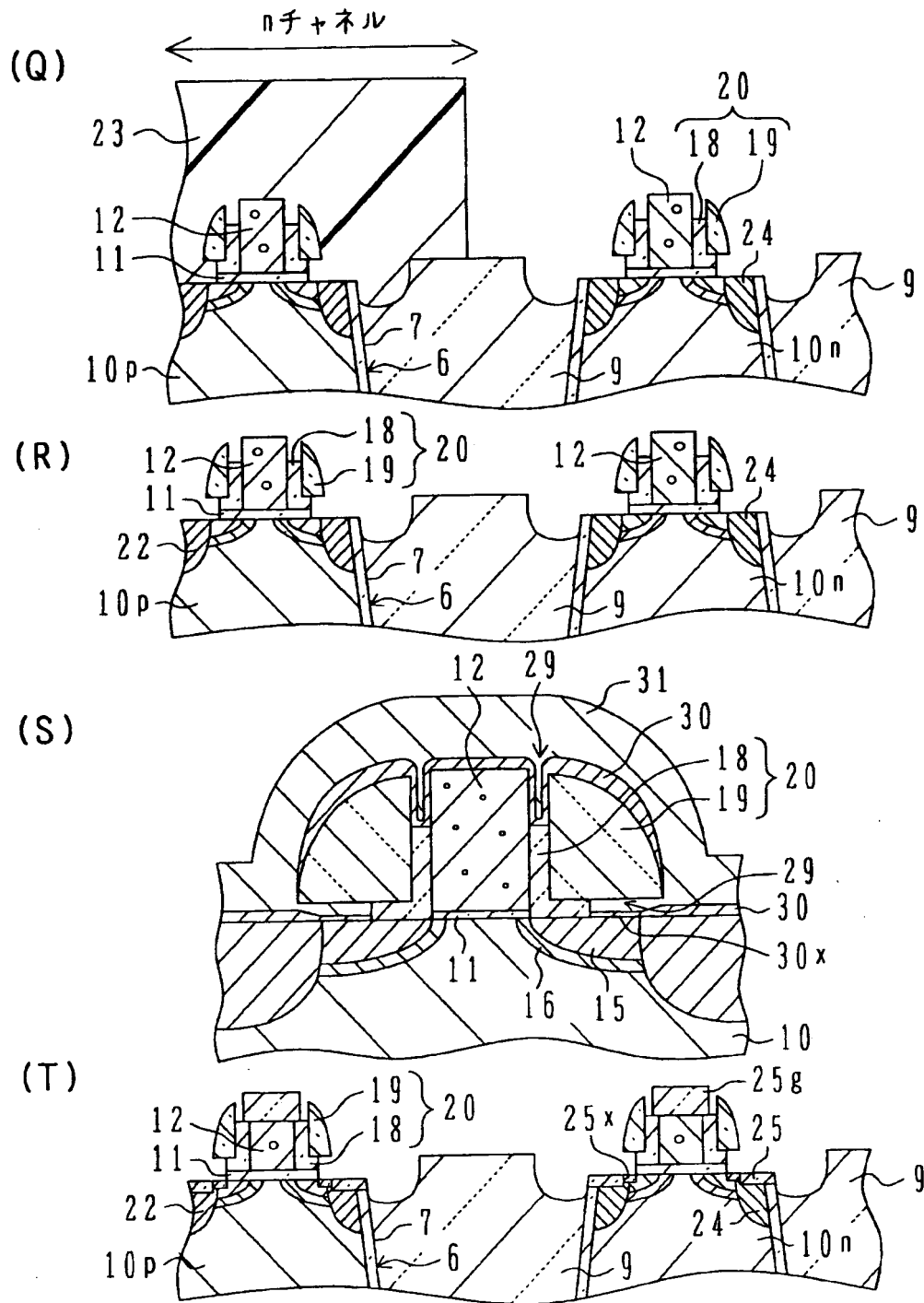
【図 3】



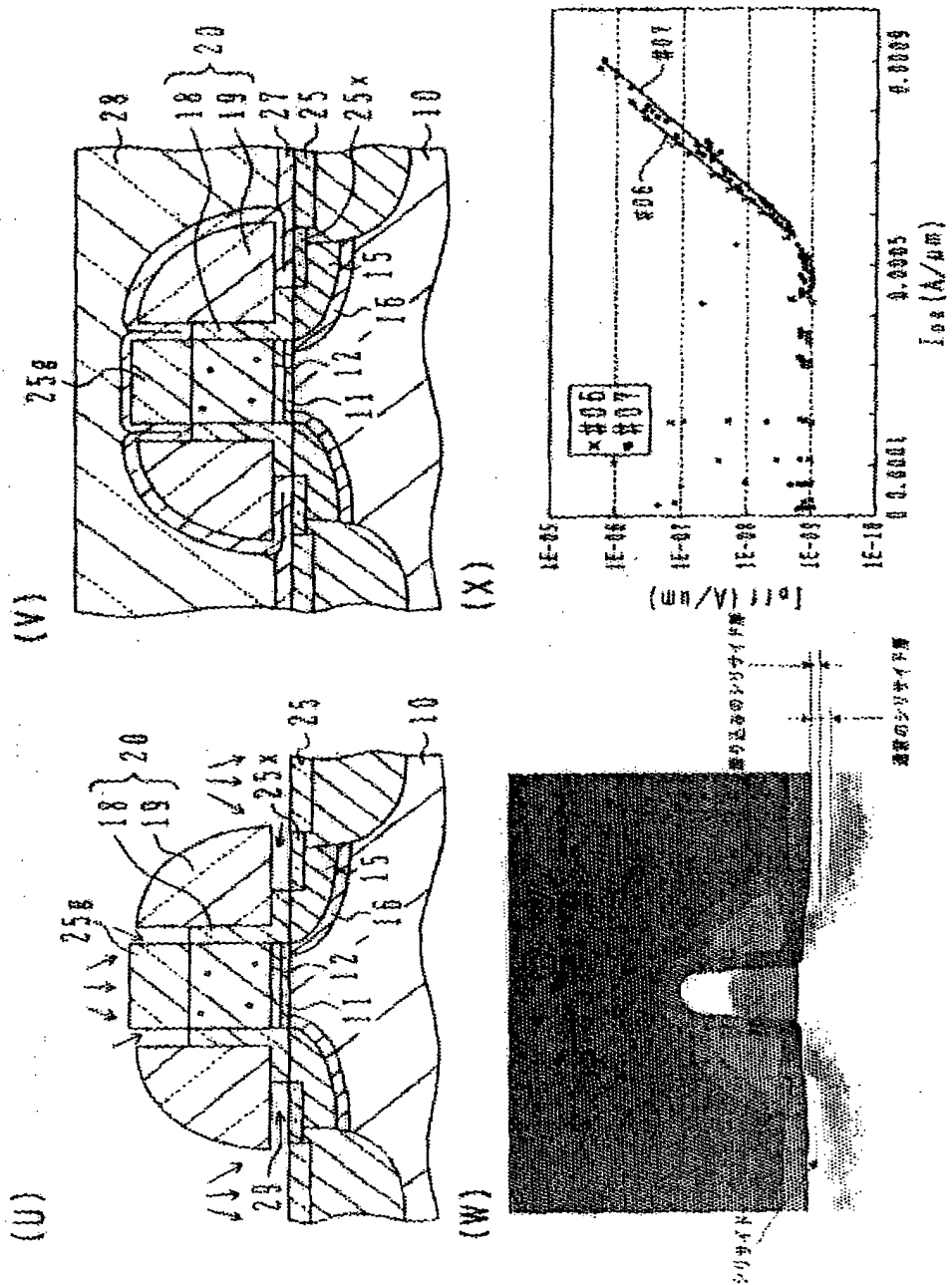
【図4】



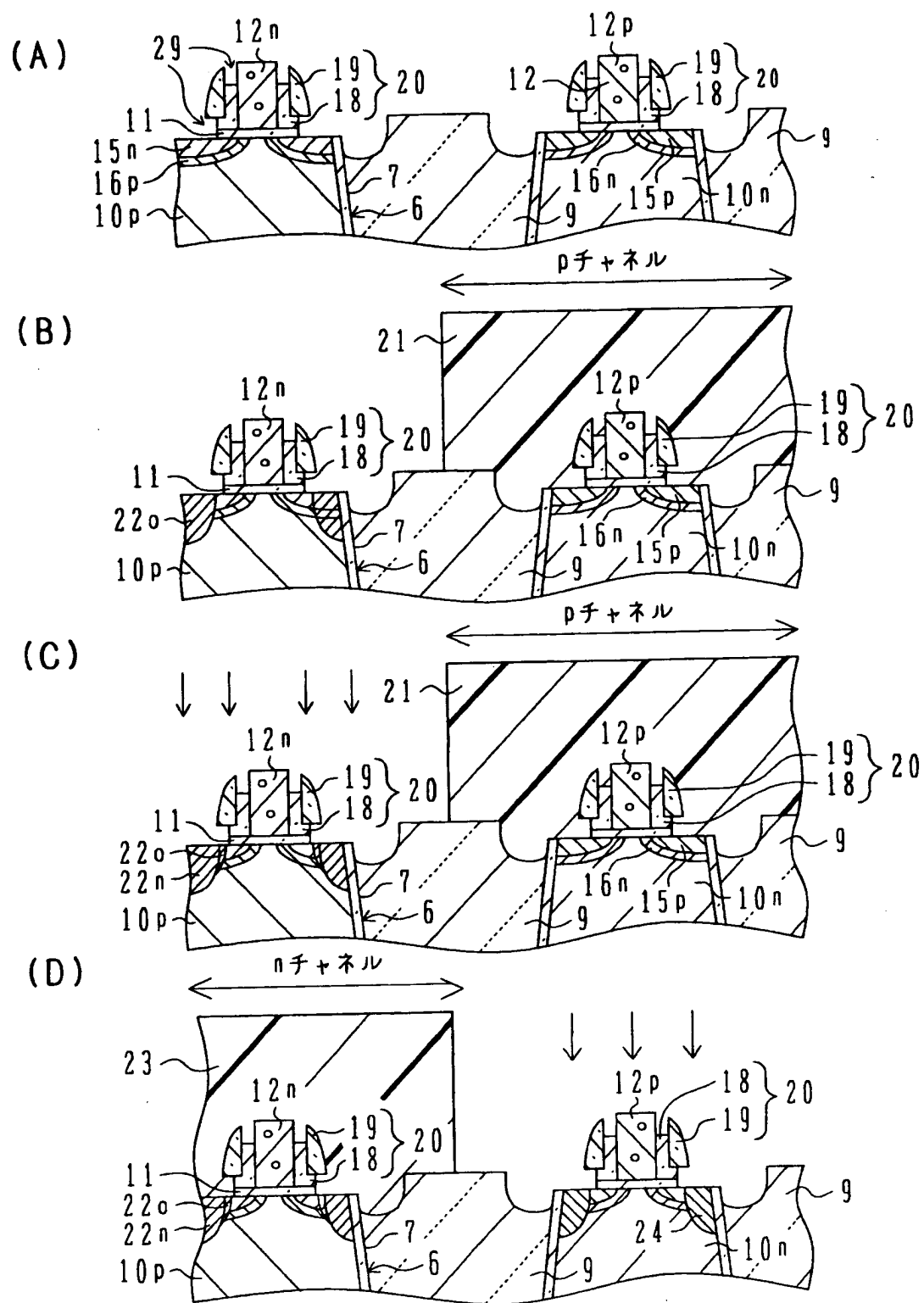
【図5】



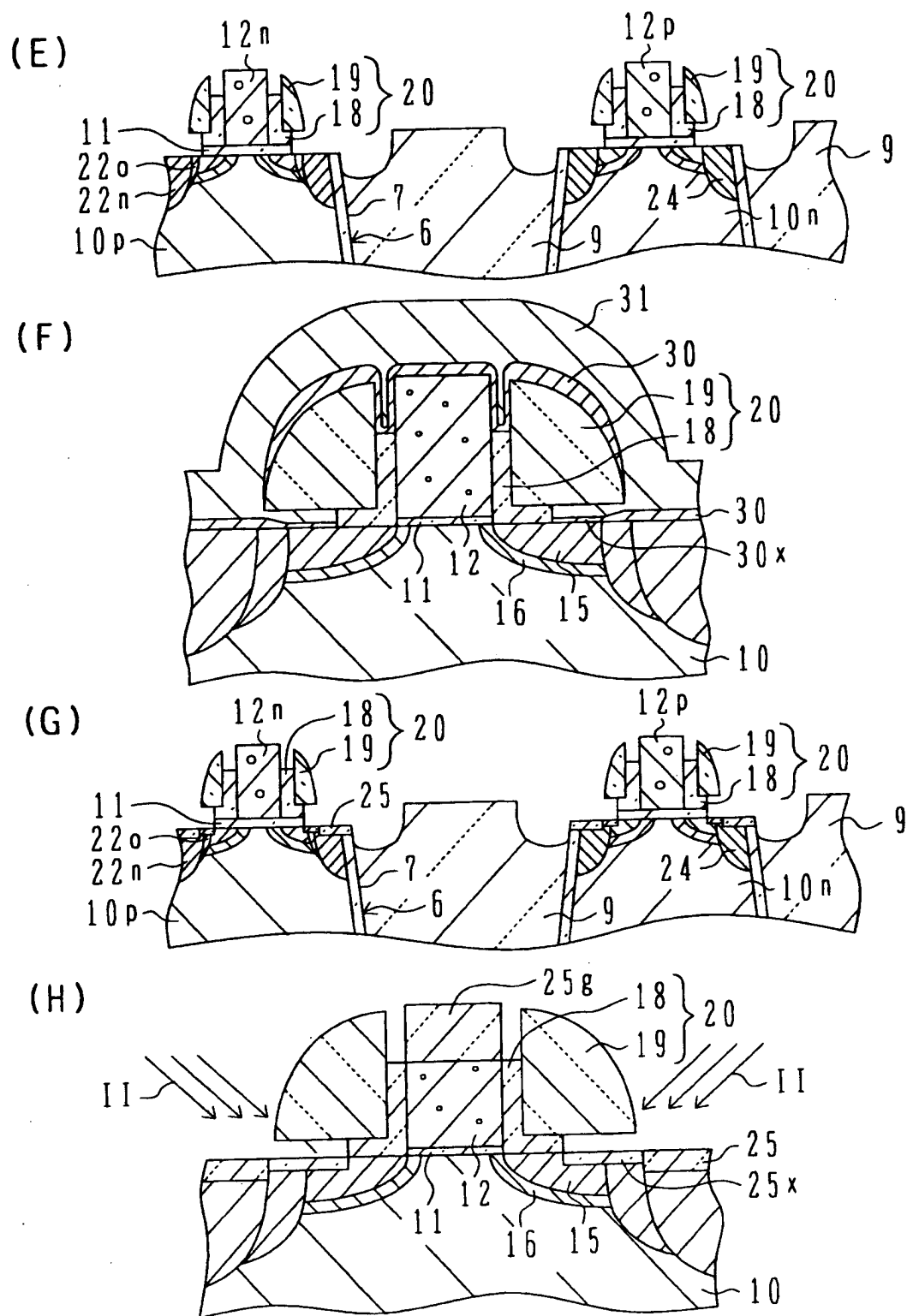
【図6】



【図7】

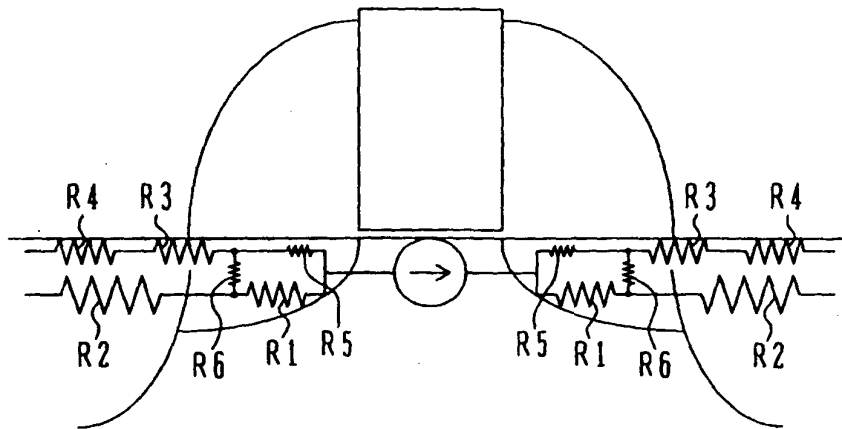


【図 8】

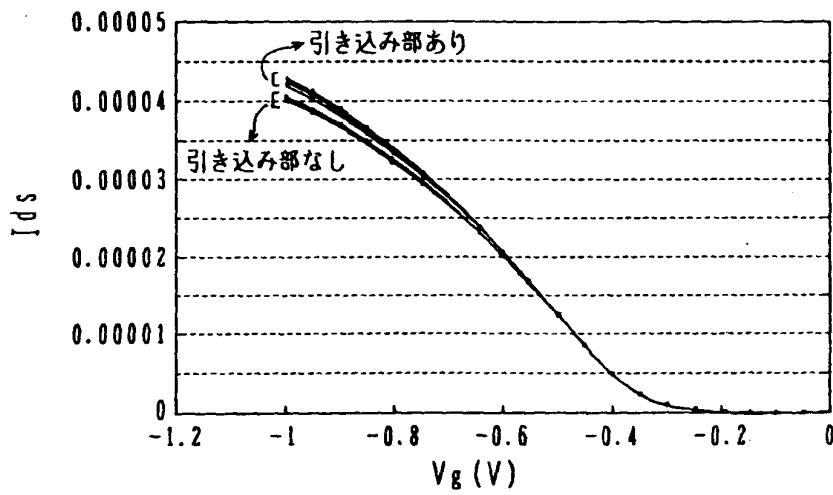


【図9】

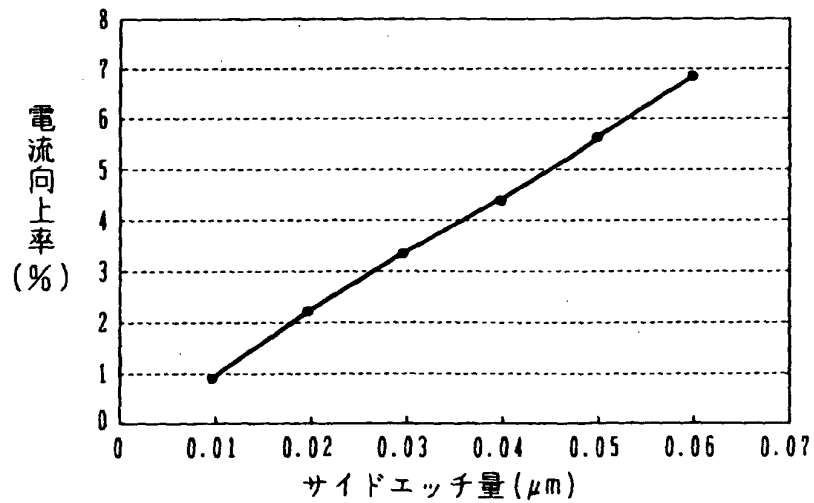
(A)



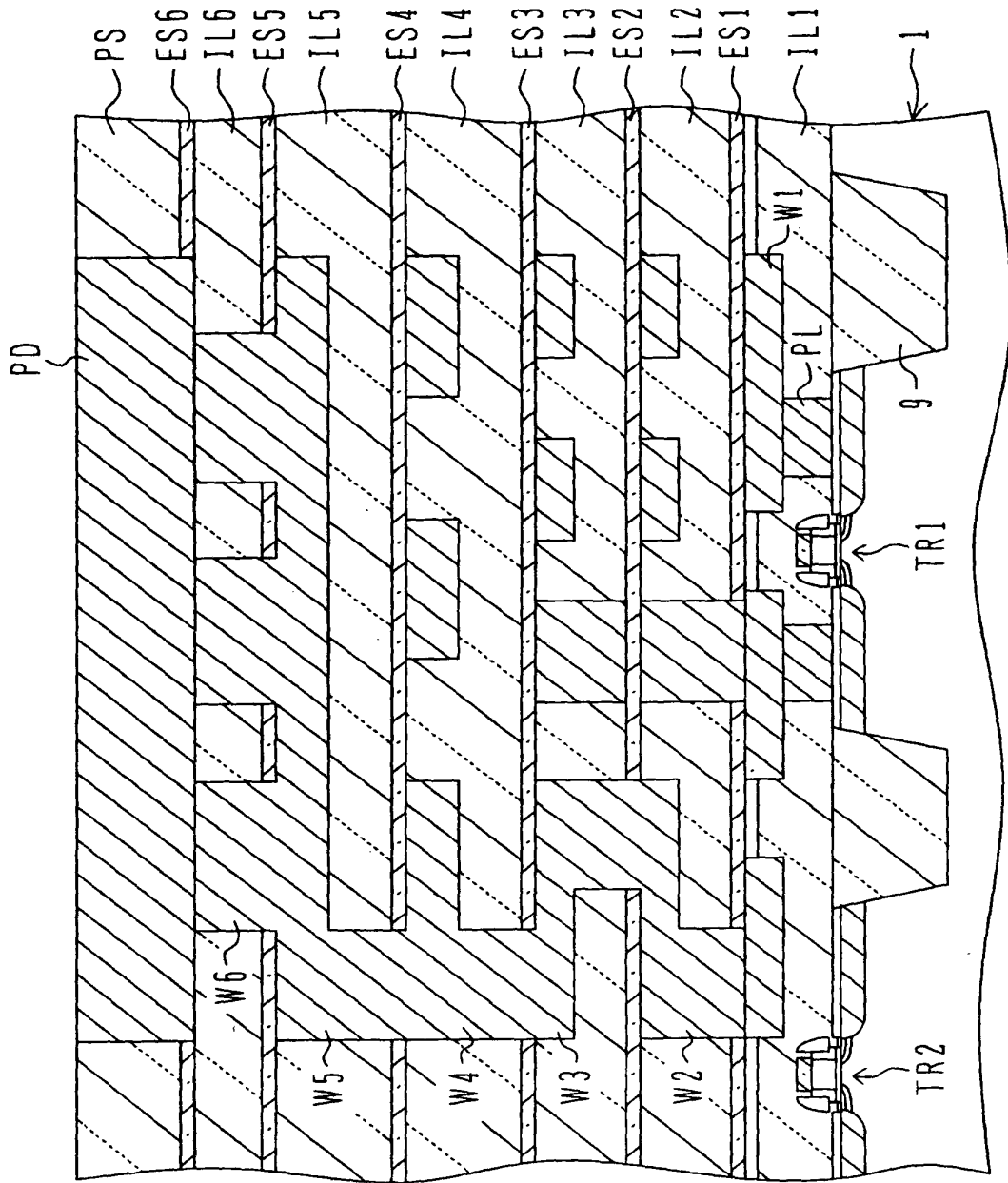
(B)



(C)



【図10】



【書類名】 要約書

【要約】

【課題】 ドレイン電流を増大することが可能でリーク電流の増加は低減できる、半導体装置と半導体装置の製造方法を提供する。

【解決手段】 半導体装置の製造方法は、（a）活性領域の各々を横断するゲート電極を形成し、ゲート電極の両側の活性領域内にソース／ドレインのエクステンション領域を形成する工程と、（b）エッチング特性の異なる第1および第2の絶縁膜を堆積し、異方性エッチングを行なってゲート電極側壁上にサイドウォール Spacer を形成する工程と、（c）第1の絶縁膜に対して選択的エッチングを行ない、引込部を形成する工程と、（d）イオン注入により、シリコン基板にソース／ドレイン領域を形成する工程と、（e）シリサイド化可能な金属を堆積し、シリサイド化反応を生じさせてシリサイド領域を形成する工程と、を含む。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社